

【 기술 노트 4 】

잡음여유란 무엇인가?

디지털 논리소자에서 출력전압은 입력전압에 비하여 어느 정도 여유가 있는 안전한 값으로 출력되는데, 이 여유분만큼 잡음이 발생하더라도 그 다음에 접속되는 입력의 논리값에는 영향을 주지 않으므로 이를 잡음여유(noise margin)라고 한다.

즉, <그림 1>에서와 같이 low level의 출력전압 $V_{OL,max}$ (TTL의 경우 0.4V)는 입력단에서 요구하는 low level의 최고 입력전압 $V_{IL,max}$ (TTL의 경우 0.8V)보다 낮게 출력되고, high level의 출력전압 $V_{OH,min}$ (TTL의 경우 2.4V)은 입력단에서 요구하는 high level의 최저 입력전압 $V_{IH,min}$ (TTL의 경우 2.0V)보다 높게 출력된다.

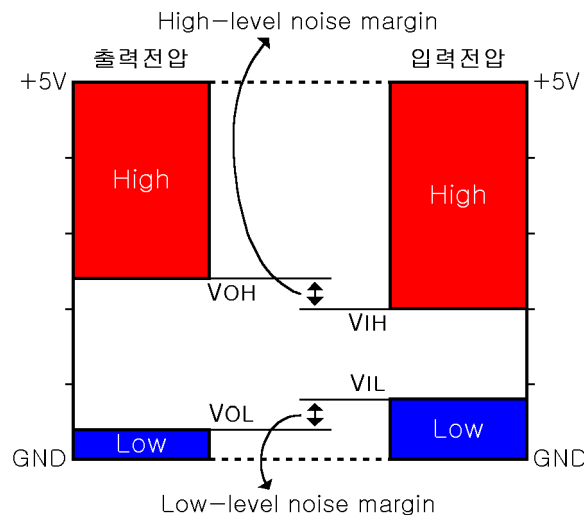
이들 입출력 전압레벨 사이의 차가 각각 low level 및 high level에서의 잡음여유가 된다. 따라서, TTL에서 저전압 레벨 잡음여유는

$$V_{IL,max} - V_{OL,max} = 0.8 - 0.4 = 0.4V$$

가 되며, 마찬가지로 고전압 레벨 잡음여유는

$$V_{OH,min} - V_{IH,min} = 2.4 - 2.0 = 0.4V$$

가 된다.



<그림 1> TTL 소자의 잡음 여유

TTL소자에 비하여 CMOS 소자는 잡음여유가 훨씬 크다. 예를 들어 74HC 시리즈를 5V 전원에서 사용할 경우에 저전압 레벨 잡음여유는

$$V_{IL,max} - V_{OL,max} = 1.5 - 0.05 = 1.45V$$

가 되며, 마찬가지로 고전압 레벨 잡음여유는

$$V_{OH,min} - V_{IH,min} = 4.95 - 3.5 = 1.45V$$

가 된다. CMOS 소자는 TTL 소자와 달리 +5V보다 높은 전원전압에서 사용할 수 있으며, 이러한 경우에는 잡음여유가 더욱 커진다.

잡음여유가 크다는 것은 디지털 회로가 잡음에 대하여 그만큼 안정된 동작을 할 수 있다는 것을 의미하며, 따라서 잡음 여유가 큰 회로는 잡음에 강하다고 한다. 이와 같이 잡음에 대하여 안정된 동작을 수행한다는 것은 아날로그 회로에 대한 디지털 회로의 커다란 특징이요 장점이다.