Slide 0

1장. 디지탈 논리회로 (요약)

Slide 1

디지탈 컴퓨터

- 디지탈 : 불연속적인 이산치
- 디지탈 컴퓨터 : 디지탈 값으로 연산하는 시스템
- 이진수 : 0과 1의 두개의 숫자만을 사용하여 수를 나타냄
- 비트 (bit) : 하나의 이진수
- 프로그램 : 연속된 명령어들
- 하드웨어 : 디지탈 시스템을 구성하는 소자들
- 소프트웨어 : 시스템 소프트웨어 + 사용자 소프트웨어
- 디지탈 컴퓨터의 블럭도 (그림 1-1)
- 논리 게이트 : 이진 정보를 처리하기 위하여 전기적으로 구현한 논리회로 (그림 1-2)

디지탈 컴퓨터 (계속)

Slide 2

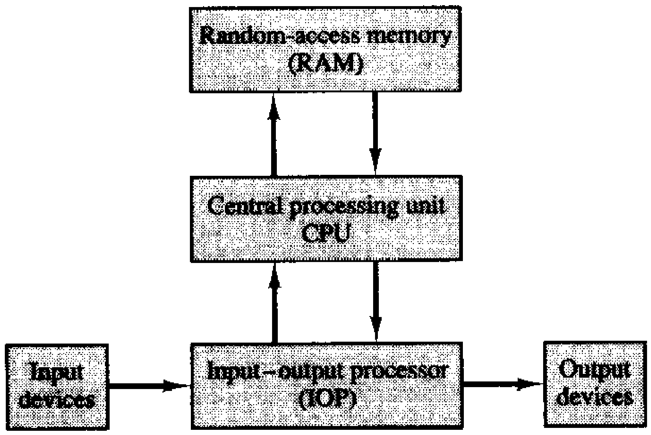
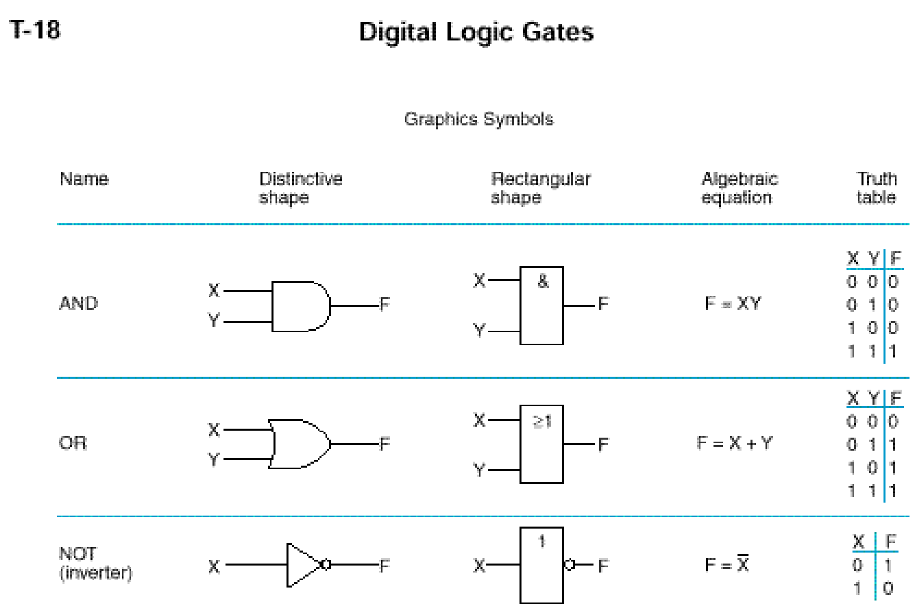


그림 1-1 디지탈 컴퓨터의 블럭 구성도

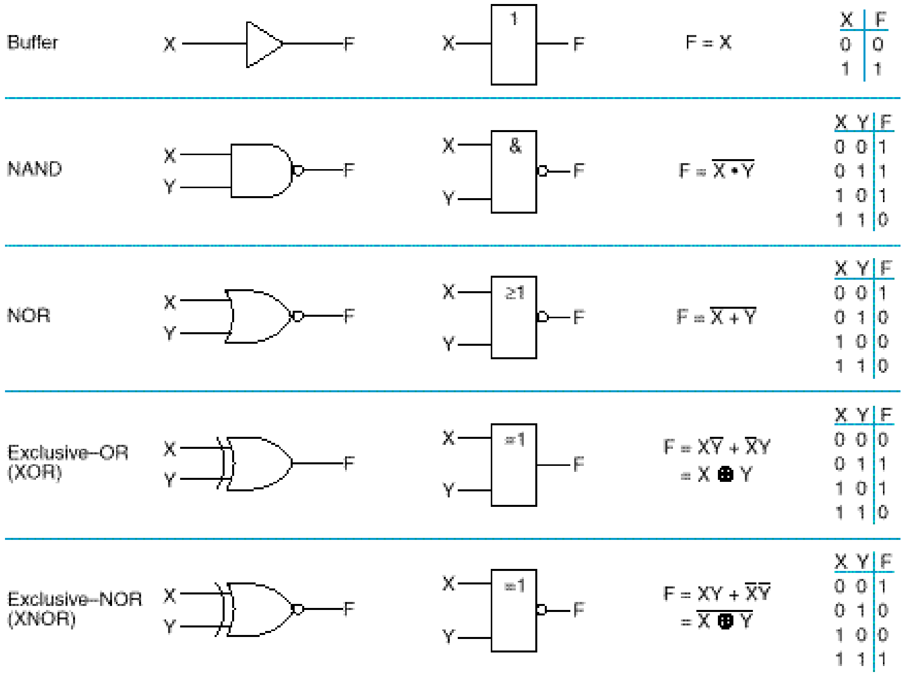
디지탈 컴퓨터 (계속)

Slide 3



디지탈 컴퓨터 (계속)

Slide 4



부울대수

- 이진변수와 논리동작을 취급하는 대수
- 예) F = x + y'z
- 진리표와 논리도 (그림 1-3)

Slide 5

x	y	z	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

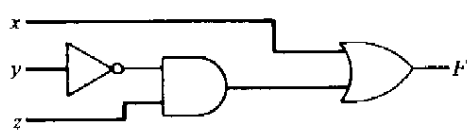


그림 1-3 $F = x + y'z$에 대한 진리표와 논리도

부울대수 (계속)

Slide 6

- 부울대수의 기본관계 (표 1-1)

Basic Identities of Boolean Algebra

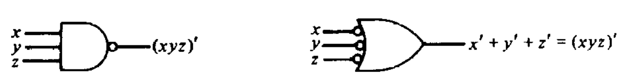
1.	$X+0=X$	2.	$X\cdot 1=X$	
3.	$X+1=1$	4.	$X\cdot 0=0$	
5.	$X+X=X$	6.	$X\cdot X=X$	
7.	$X+\overline{X}=1$	8.	$X\cdot\overline{X}=0$	
9.	$\overline{\overline{X}}=X$			
10.	$X+Y=Y+X$	11.	$XY=YX$	Commutative
12.	$X+(Y+Z)=(X+Y)+Z$	13.	$X(YZ)=(XY)Z$	Associative
14.	$X(Y+Z)=XY+XZ$	15.	$X+YZ=(X+Y)(X+Z)$	Distributive
16.	$\overline{X+Y}=\overline{X}\cdot\overline{Y}$	17.	$\overline{X\cdot Y}=\overline{X}+\overline{Y}$	DeMorgan's

부울대수 (계속)

Slide 7

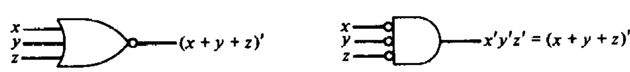
- NOR 와 NAND 게이트의 두가지 기호 (그림 1-4, 1-5)

대수를 적용해 보면, 표 1-1의 7번에 의해 $(C+C)'=1$이고 4번에



(a) AND-invert (b) invert-OR

그림 1-4 NOR 게이트에 대한 두 가지 기호



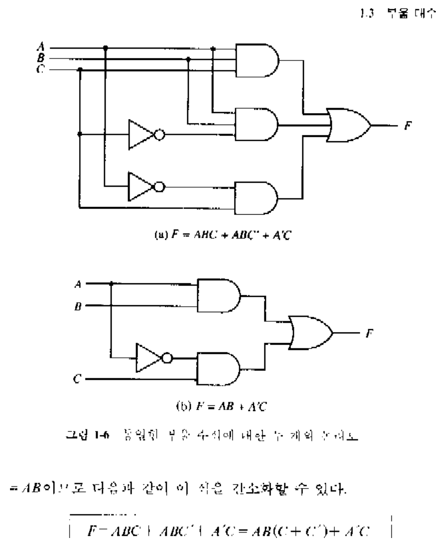
(a) OR-invert (b) invert-AND

그림 1-5 NAND 게이트에 대한 두 가지 기호

부울대수 (계속)

Slide 8

- 동일한 부울수식에 대한 두개의 논리도 (그림 1-6)



부울대수 (계속)

Slide 9

- 수식의 보수
  - De Morgan 정리를 이용
  - $(x_1 + x_2 + x_3 + \cdots + x_n)' = x_1' x_2' x_3' \cdots x_n'$
  - $(x_1 x_2 x_3 \cdots x_n)' = x_1' + x_2' + x_3' \cdots x_n'$

맵의 간소화

Slide 10

- 2변수 카르노 맵

x \ y	0	1
0	x'y'(m0)	x'y(m1)
1	xy'(m2)	xy(m3)

- 3변수 카르노 맵
  - 3변수 카르노 맵부터는 두 개의 변수 값에 대하여 나타낼 때 그레이 코드 순서로 배열한다. 이는 그레이 코드가 인접한 변수에서 오직 하나의 bit 만이 다르기 때문이다. 이는 간략화를 쉽게 한다.

맵의 간소화 (계속)

Slide 11

x \ yz	00	01	11	10
0	x'y'z'(m0)	x'y'z(m1)	x'yz(m3)	x'yz'(m2)
1	xy'z'(m4)	xy'z(m5)	xyz(m7)	xyz'(m6)

- 예) F = x'yz' + x'yz + xyz

맵의 간소화 (계속)

Slide 12

x′y

x \ yz	00	01	11	10
0			1	1
1			1	

yz

– 결국 F = x'y + yz

맵의 간소화 (계속)

Slide 13

- 4변수 카르노 맵

wx \ yz	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

논리합의 논리곱

- 방법 1
  - 0 을 곱의 합형으로 표시 (F')
  - (F')' : 드모르간 법칙 적용

Slide 14

y′

x \ yz	00	01	11	10
0	0	0	1	1
1	0	0	1	0

xz′

  - F' = y'+xz'
  - F = (F')' = (y'+xz')' = y (x'+z)

논리합의 논리곱 (계속)

- 방법 2
  - 0 을 합의 곱형으로 표시

Slide 15

y

x \ yz	00	01	11	10
0	0	0	1	1
1	0	0	1	0

(x′+z)

  - F = y (x'+z)

Don't care 조건

Slide 16

- 입력측 조합에서 전혀 발생될 수 없는 조합에 대한 출력 (X 로 표시)
- 간략화시 0, 1 아무것으로 놓아도 상관없다.

$$F(x,y,z) = \sum(2,3,7) \qquad d(x,y,z) = \sum(4,5) \longrightarrow F = xz + x'y$$

x'y

x \ yz	00	01	11	10
0			1	1
1	X	X	1	

xz yz

조합회로

Slide 17

- 설계과정
  - 문제를 기술
  - 입출력 변수의 개수를 결정
  - 입출력 변수에 2진 변수 명을 할당
  - 진리표를 작성
  - 간략화된 부울함수를 얻음
  - 논리도를 그림
  - 해당 논리도를 IC 로 구현
- 반가산기의 설계예
  - 진리표를 작성

조합회로 (계속)

Slide 18

입력		출력	
x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

– 간략화된 부울함수를 얻음

C = xy

S = x'y + xy' = (x'+y')(x+y) = (x'y'+xy)' = x ⊕y

– 논리도를 그림

조합회로 (계속)

Slide 19

S

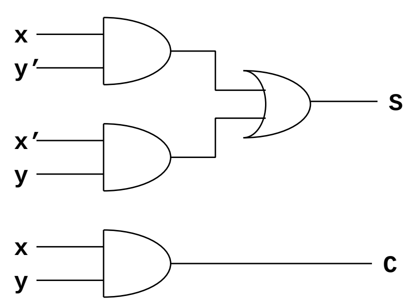
x \ y	0	1
0		1
1	1	

S = xy′+x′y

C

x \ y	0	1
0		
1		1

C = xy



조합회로 (계속)

- 전가산기 설계예
  - 진리표를 작성

Slide 20

입력			출력	
x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

조합회로 (계속)

Slide 21

- 간략화된 부울함수를 얻음
  * S 에 대한 카르노 맵

x \ yz	00	01	11	10
0		1		1
1	1		1	

  * 결국 : S = x'y'z + x'yz' + xy'z' + xyz = z ⊕(x ⊕y)
  * C 에 대한 카르노 맵

조합회로 (계속)

Slide 22

yz

x \ yz	00	01	11	10
0			1	
1		1	1	1

xz xy

∗ 결국 : $C = xy + xz + yz = xy'z + x'yz + xy = z(xy' + x'y) + xy$

플립플롭

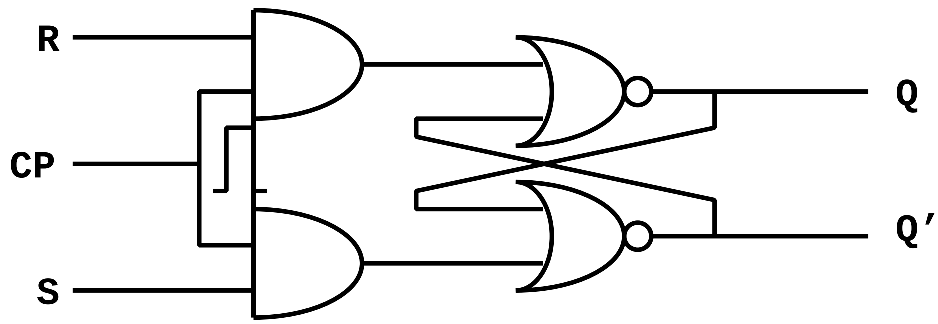
Slide 23

- 조합논리와 순차논리
  - 조합논리 : 피드백이 없다, 기억소자 없다
  - 순차논리 : 피드백이 있다, 기억소자 있다
    - ∗ 동기신호에 동기되어 동작 →동기식 순차논리 (일반적으로 기억소자 있음)
    - ∗ 동기신호가 없다 →비동기식 순차논리 (일반적으로 기억소자 없음)
  - 기억소자 : flip-flop

플립플롭 (계속)

Slide 24

- SR 플립플롭
  - 논리도



플립플롭 (계속)

Slide 25

- 진리표

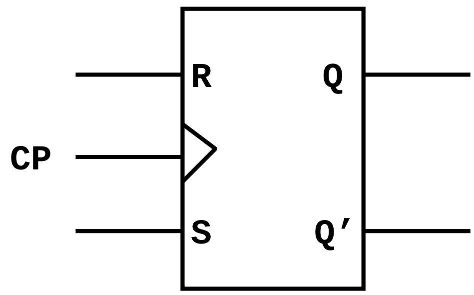
Q	S	R	Q(t+1)	동작
0	0	0	0	전상태 유지
0	0	1	0	reset
0	1	0	1	set
0	1	1	X	불안정
1	0	0	1	전상태 유지
1	0	1	0	reset
1	1	0	1	set
1	1	1	X	불안정

- 특성 방정식
  - ∗ $Q(t+1) = S + R'Q$
  - ∗ $SR = 0$

플립플롭 (계속)

Slide 26

– 기호



– 문제점

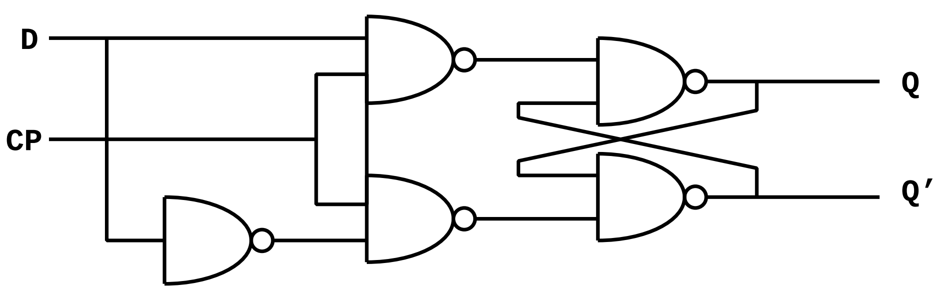
∗ CP, S, R 이 모두 1일 때, CP = 0 이되면 불안정

플립플롭 (계속)

Slide 27

• D 플립플롭

– NAND 게이트 D flip-flop



플립플롭 (계속)

Slide 28

– 진리표

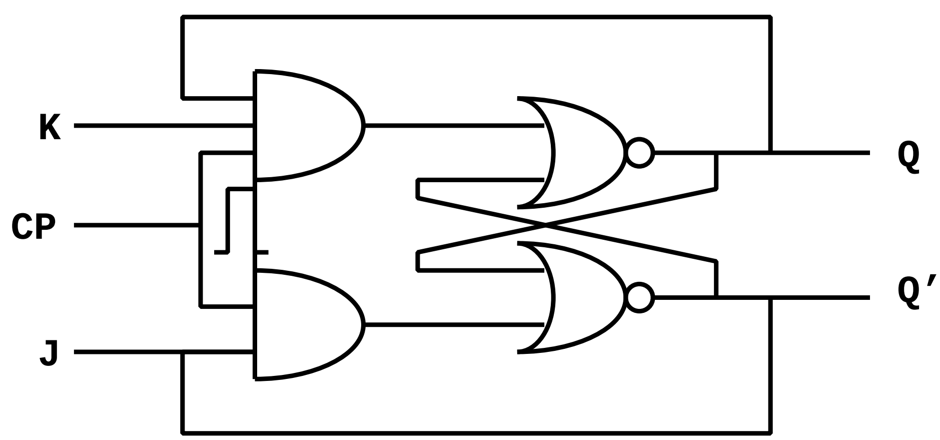
Q	D	Q(t+1)
0	0	0
0	1	1
1	0	0
1	1	1

– 특성 방정식 : Q(t+1) = D

플립플롭 (계속)

Slide 29

- JK 플립플롭
  - RS flip-flop 에서 CP, S, R 이 모두 1일 때, CP = 0 이되면 불안정을 해소
  - 논리도



플립플롭 (계속)

Slide 30

– 진리표

Q	J	K	Q(t+1)	동작
0	0	0	0	전상태 유지
0	0	1	0	reset
0	1	0	1	set
0	1	1	X	상태 반전
1	0	0	1	전상태 유지
1	0	1	0	reset
1	1	0	1	set
1	1	1	X	상태 반전

– 특성방정식 : $Q(t+1) = JQ' + K'Q$

플립플롭 (계속)

Slide 31

– 문제점
  * CP = J = K = 1 이 지속되면 계속반전
  * CP 의 유지시간 < flip-flop 전파지연시간이 되어야함 →CP 조정 나쁨
  * 해결 : edge trigger flip-flop, master-slave flip-flop

플립플롭 (계속)

Slide 32

- T 플립플롭
  - JK 의 입력을 묶음 (T)
  - T = 1 이면 toggle, T = 0 이면 현상태 유지
  - 특성방정식 : Q(t+1) = TQ' + T'Q
- 모서리-변이형 플립플롭
  - level triggering : 0 이나 1의 상태에서 flip-flop 의 상태전이
  - edge triggering
    - 0→(positive edge trigger) 이나
    - 1→(negative edge trigger) 으로의 전이시 상태 전이
    - JK flip-flop 의 문제점을 해결

플립플롭 (계속)

Slide 33

- 여기표
  - RS 플립플롭

Q(t)	Q(t+1)	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

플립플롭 (계속)

Slide 34

– JK 플립플롭

Q(t)	Q(t+1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

플립플롭 (계속)

Slide 35

– D 플립플롭

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

플립플롭 (계속)

Slide 36

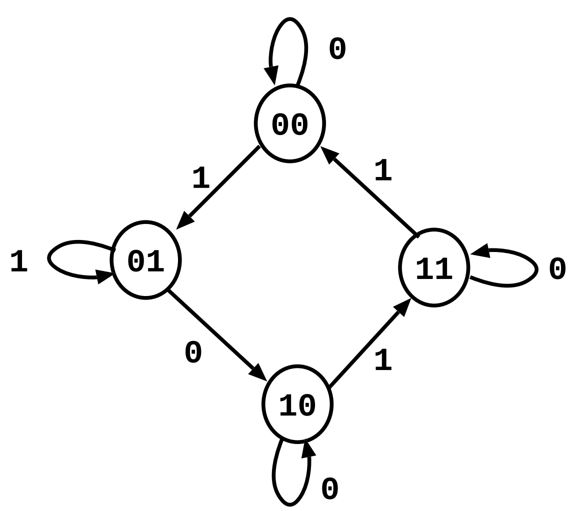
– T 플립플롭

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

순차회로

- 클럭 동기형 순차회로의 블록도 (그림 1-24)
- 순차회로의 설계예)

Slide 37



순차회로 (계속)

Slide 38

– 상태표를 만듦

현재상태		다음상태			
		x = 0		x = 1	
A	B	A	B	A	B
0	0	0	0	0	1
0	1	1	0	0	1
1	0	1	0	1	0
1	1	1	1	0	0

순차회로 (계속)

Slide 39

– 여기표를 만듦

입력 조합회로					출력조합회로			
현재상태		입력	다음상태		플립플롭 입력			
A	B	x	A	B	JA	KA	JB	KB
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

순차회로 (계속)

Slide 40

- 논리간략화
  - JA = Bx'
  - KA = Bx
  - JB = x
  - KB = A ⊙x
- 논리도를 그림

순차회로 (계속)

Slide 41