

5장. 레지스터와 카운터

오늘의 교훈

마음은 과거일 뿐이고, 판단은 비교일 뿐이다.

레지스터와 카운터 정의

- 플립플롭 : 1 bit 기억소자
- 레지스터 : n bit 기억소자 ← 여러 개의 플립플롭 및 조합회로로 구성됨
- 카운터 : 특정 상태 반복 ← 일종의 레지스터
- 4비트 레지스터 (*그림 5-1)
 - clock gating 을 사용 : clock 입력을 조절하여 로드를 결정하는 방법
 - 동기가 어긋나게 됨
 - 좋은 방법이 아님
- 병렬 로드 기능이 있는 레지스터 (*그림 5-2)
 - clock gating 을 사용하지 않으므로 좋은 방법임

쉬프트 레지스터

- 기능
 - 저장되어 있는 데이터를 한방향이나 양방향으로 이동시키는 기능이 있음
- 4비트 쉬프트 레지스터 (*그림 5-3)
- 순차적 이동
 - 한번에 한비트씩 이동하는 방법 (*그림 5-4)
 - 순차이동의 예 (*표 5-1)
- active low: 논리 0 (낮은 전압, 보통 0V) 에서 해당 신호가 동작하는 것을 말함
 - 장점
 - * 높은 전압에서 낮은 전압으로 가는 것이 빠름
 - * noise margin 이 좋음

순차적 가산

- 병렬 가산
 - n 비트를 동시에 가산
 - 속도 빠름 (1 clock 에 계산됨)
 - 고비용 (n 개의 FA 필요)
- 순차적 가산
 - 1 비트씩 가산
 - 속도 느림 (n clock 필요)
 - 저 비용 (1 개의 FA 필요)
- 순차적 가산기 (*그림 5-5)

병렬로드 기능이 있는 쉬프트 레지스터

- 회로도 (*그림 5-6)
- 기능표 (표 5-2)

쉬프트	로드	동작
0	0	무변화
0	1	병렬로드 데이터
1	X	Q_0 에서 Q_3 까지 아래로 쉬프트

- 양방향 쉬프트 레지스터
 - one stage 회로도 (*그림 5-7)
 - 기능표 (표 5-3)

모드제어		레지스터 동작
S_1	S_0	
0	0	무변화
0	1	shift down
1	0	shift up
1	1	병렬 로드

리플 카운터

- 카운터
 - 입력 pulse 에 따라 정해진 순서대로 상태값이 변하는 레지스터
- 2진 카운터
 - 2진수의 순서를 따르는 카운터
 - n 비트의 2진 카운터는 n 개의 flip-flop 으로 구성됨
 - n 비트의 2진 카운터는 0 에서 $2^n - 1$ 까지 카운트 가능

- 카운터의 종류
 - 리플 카운터 (ripple counter)
 - * 전단계 플립플롭의 출력이 다음단계 clock 으로 사용됨
 - 동기 카운터 (synchronous counter)
 - * 모든 플립플롭에 동일한 clock 이 가해짐

- 리플카운터
 - 회로도 (*그림 5-8)
 - 카운팅 순서 (*표 5-4)
 - 리플 다운 카운터는 ?

동기형 2진 카운터

- 2진 카운터의 설계

- 순차회로 설계방식과 동일
- 출력은 각 플립플롭의 출력
- 현재상태와 다음상태를 이용하여 설계
- J-K flip-flop 을 이용한 설계
⇒

- 여기표 (*표 5-5)

- 논리간략화 (*그림 5-9)

- 플립플롭 입력식

$$J_{Q_0} = K_{Q_0} = EN$$

$$J_{Q_1} = K_{Q_1} = Q_0 \cdot EN$$

$$J_{Q_2} = K_{Q_2} = Q_0 \cdot Q_1 \cdot EN$$

$$J_{Q_3} = K_{Q_3} = Q_0 \cdot Q_1 \cdot Q_2 \cdot EN$$

- 4비트 동기형 2진 카운터 (*그림 5-10)

- D 플립플롭으로 설계한 카운터

- 플립플롭 입력식, 논리회로도 (*그림 5-11)

$$D_{Q_0} = Q_0 \oplus EN$$

$$D_{Q_1} = Q_1 \oplus (Q_0 \cdot EN)$$

$$D_{Q_2} = Q_2 \oplus (Q_0 \cdot Q_1 \cdot EN)$$

$$D_{Q_3} = Q_3 \oplus (Q_0 \cdot Q_1 \cdot Q_2 \cdot EN)$$

동기형 2진 카운터 (Cont'd)

- 순차형 카운터와 병렬형 카운터
 - 순차 카운터
 - * 각 플립플롭의 출력이 다음단의 입력으로 인가되는 카운터
 - * 리플캐리 가산기의 캐리전달과 유사
 - 캐리예전 가산기와 같은 병렬형 카운터의 설계
 - parallel gating 을 이용 (*그림 5-11 (b))
 - 상승하강 2진 카운터 (T 플립플롭사용)
 - * 플립플롭 입력식

$$T_{A_0} = EN$$

$$T_{A_1} = Q_0 \cdot S \cdot EN + Q'_0 \cdot S' \cdot EN$$

$$T_{A_2} = Q_0 \cdot Q_1 \cdot S \cdot EN + Q'_0 \cdot Q'_1 \cdot S' \cdot EN$$

$$T_{A_3} = Q_0 \cdot Q_1 \cdot Q_2 \cdot S \cdot EN + Q'_0 \cdot Q'_1 \cdot Q'_2 \cdot S' \cdot EN$$
 - * 다음단으로 넘어가는 캐리 출력식

$$C_{up} = Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot S \cdot EN \text{ (상승카운터)}$$

$$C_{dn} = Q'_0 \cdot Q'_1 \cdot Q'_2 \cdot Q'_3 \cdot S' \cdot EN \text{ (하강카운터)}$$

병렬로드 기능을 갖는 2진 카운터

- 디지털 컴퓨터 설계에서 유용하게 쓰이는 소자
- 회로도 (*그림 5-12)
- 기능표 (표 5-6)

로드	카운트	동작
0	0	무변화
0	1	2진 카운트
1	X	입력을 로드함

- 병렬로드 기능이 있는 2진 카운터를 이용하여 BCD 카운터의 설계
 - 회로도 (*그림 5-13)

기타 카운터

- N 분주 카운터 (divide-by- N counter)
 - 4장의 동기형 순차회로의 설계기법으로 설계가능
 - BCD counter
 - * 상태표와 입력조건 (*표 5-7)

* 논리간략화

$$T_{Q_1} = 1$$

$$T_{Q_2} = Q_1 Q_8'$$

$$T_{Q_4} = Q_1 Q_2$$

$$T_{Q_8} = Q_1 Q_8 + Q_1 Q_2 Q_4$$

$$Y = Q_1 Q_8$$

- 임의의 순서를 갖는 카운터
 - 상태표와 입력조건 (*표 5-8)
 - 011 과 111 의 두상태가 없는 카운터
 - 논리간략화 (JK 플립플롭으로 구현)

$$J_A = B \quad K_A = B$$

$$J_B = C \quad K_B = 1$$

$$J_C = B' \quad K_C = 1$$
 - 논리도 (*그림 5-14)

표준 그래픽 기호

- 레지스터에 대한 표준 그래픽 기호 (*그림 5-15)
- 병렬로드 기능을 갖는 쉬프트 레지스터에 대한 그래픽 기호 (*그림 5-16)
- 병렬로드 기능을 갖는 4비트 2진 카운터의 그래픽 기호 (*그림 5-17)
- Homework
 - 5장 연습문제
 - * 3, 4, 6, 8, 13, 14, 19, 21, 24